

Intitulé

Conception RTL d'un bloc d'encodeur vidéo : entrée OSD (On-Screen Display).

Introduction

Les encodeurs AllegroDVT sont notamment très utilisés dans le domaine de la vidéo surveillance. Pour ce genre d'application, les clients souhaitent souvent rajouter des informations à l'écran telles que la date et l'heure par exemple. De même il est parfois nécessaire de masquer une partie de la zone filmée, on parle de zone privée. Dans ce cas on pourra par exemple rajouter une zone noire pour masquer cette partie de l'image.

Ce genre d'ajout s'appelle le On-Screen Display (OSD). Il s'agit de mixer l'image originale avec une autre image contenant l'information à rajouter, et ce, avant l'encodage vidéo.

Ce stage a pour but de développer un bloc OSD qui viendra se positionner en amont de notre encodeur vidéo.

Description succincte de l'offre

Analyse et étude d'implémentation d'un bloc OSD

Ce stage sera complet puisqu'il demandera :

- Une étude des méthodes classiques d'OSD
- Une réflexion sur l'architecture et l'intégration dans l'encodeur actuel
- L'écriture en SystemVerilog du bloc
- L'écriture de tests unitaires
- La simulation de l'encodeur en chaîne complète
- La validation sur FPGA
- La synthèse ASIC et l'analyse de l'impact en surface, fréquence et consommation

Nous concernant

Allegro Digital Video Technology (www.allegrodivt.com) est une société spécialisée dans les produits de compression vidéo H.264/AVC, H.265/HEVC, VP9 et AV1. La société a été créée en 2003 par des professionnels de la vidéo numérique et de la conception de circuits intégrés. Elle compte aujourd'hui 27 collaborateurs.

Les produits d'Allegro (<http://www.allegrodivt.com/references/our-customers>), bénéficient d'une excellente réputation et sont vendus à travers le monde à de grands acteurs du domaine : Broadcom, Fujitsu, Intel, LG, LSI Logic, Microsoft, NXP, Sagem, Siemens, Sigma Designs, STMicro, Texas Instruments ...

Informations pratiques

Nous recherchons des étudiants en dernière année intéressés par l'encodage vidéo et les systèmes sur puce.

Le développement nécessite une bonne connaissance d'un langage RTL (VHDL, Verilog ou SystemVerilog)

Le développement nécessite une bonne connaissance du langage C/C++

Le stage est basé à Meylan (Inovallée).

Le stage sera rémunéré à hauteur de 1200 euros brut par mois.

Pour obtenir de plus amples informations ou postuler à un stage et discuter de vos et nos projets, veuillez adresser vos CV et lettre de motivation à stages@allegrodivt.com.